САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию lab2

Дисциплина

«Языки описания аппаратных средств вычислительных систем»

выполнил:

Фам Ба Нам

группа:

3530901/90201

преподаватель:

Федотов А.А.

Санкт-Петербург

2021

Оглавление

[1 Задание lab2\_1 5](#_Toc82436738)

[1.1 Задание 5](#_Toc82436739)

[1.2 Описание на языке Verilog 5](#_Toc82436740)

[1.3 Результат синтеза (RTL) 6](#_Toc82436741)

[1.4 Моделирование 6](#_Toc82436742)

[1.5 Назначение выводов СБИС 8](#_Toc82436743)

[1.6 Тестирование на плате miniDiLaB-CIV 8](#_Toc82436744)

[1.7 Выводы 8](#_Toc82436745)

[2 Задание lab2\_2 9](#_Toc82436746)

[2.1 Задание 9](#_Toc82436747)

[2.2 Описание на языке Verilog 9](#_Toc82436748)

[2.3 Результат синтеза (RTL) 10](#_Toc82436749)

[2.4 Моделирование 10](#_Toc82436750)

[2.5 Назначение выводов СБИС 12](#_Toc82436751)

[2.6 Тестирование на плате miniDiLaB-CIV 12](#_Toc82436752)

[2.7 Выводы 12](#_Toc82436753)

[3 Задание lab2\_3 13](#_Toc82436754)

[3.1 Задание 13](#_Toc82436755)

[3.2 Описание на языке Verilog 13](#_Toc82436756)

[3.3 Результат синтеза (RTL) 14](#_Toc82436757)

[3.4 Моделирование 14](#_Toc82436758)

[3.5 Назначение выводов СБИС 15](#_Toc82436759)

[3.6 Тестирование на плате miniDiLaB-CIV 15](#_Toc82436760)

[3.7 Выводы 15](#_Toc82436761)

[4 Задание lab2\_4 16](#_Toc82436762)

[4.1 Задание 16](#_Toc82436763)

[4.2 Описание на языке Verilog 16](#_Toc82436764)

[4.3 Результат синтеза (RTL) 16](#_Toc82436765)

[4.4 Моделирование 17](#_Toc82436766)

[4.5 Назначение выводов СБИС 17](#_Toc82436767)

[4.6 Тестирование на плате miniDiLaB-CIV 18](#_Toc82436768)

[4.7 Выводы 18](#_Toc82436769)

Список иллюстраций

[Рис. 1‑1 Описание на языке Verilog 5](#_Toc82436716)

[Рис. 1‑2 Синтезированная схема 6](#_Toc82436718)

[Рис. 1‑3 Результат моделирования средствами QII 8](#_Toc82436719)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 8](#_Toc82436720)

[Рис. 2‑1 Описание на языке Verilog 9](#_Toc82436721)

[Рис. 2‑2 Другой способ описания на языке Verilog 9](#_Toc82436722)

[Рис. 2‑3 Синтезированная схема 10](#_Toc82436723)

[Рис. 2‑4 Результат моделирования средствами QII 12](#_Toc82436724)

[Рис. 2‑5 Назначение выводов в приложении Pin Planner 12](#_Toc82436725)

[Рис. 3‑1 Описание на языке Verilog 13](#_Toc82436726)

[Рис. 3‑2 Синтезированная схема 14](#_Toc82436727)

[Рис. 3‑3 Результат моделирования средствами QII 15](#_Toc82436728)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 15](#_Toc82436729)

[Рис. 4‑1 Описание на языке Verilog 16](#_Toc82436730)

[Рис. 4‑2 Синтезированная схема 16](#_Toc82436731)

[Рис. 4‑3 Результат моделирования средствами QII 17](#_Toc82436732)

[Рис. 4‑4 Назначение выводов в приложении Pin Planner 18](#_Toc82436733)

[Рис. 5‑1 Описание на языке Verilog 19](#_Toc82436734)

[Рис. 5‑2 Синтезированная схема 19](#_Toc82436735)

[Рис. 5‑3 Результат моделирования средствами QII 21](#_Toc82436736)

[Рис. 5‑4 Назначение выводов в приложении Pin Planner 21](#_Toc82436737)

# Задание lab1\_1

## Задание

На языке Verilog опишите знаковый умножитель\сумматор.

Входы данных - переключатели sw[7:4] и sw[3:0]

Выбор операции – кнопка key[0]

Выходы – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 1‑1.

|  |
| --- |
| module lab2\_1  (input signed [3:0] sw74,sw30,  input key,  output signed [7:0] led  );  assign led = (key)?sw74\*sw30:sw74+sw30;  endmodule |

Рис. 1‑1 Описание на языке Verilog

Было введено текстовое описание схемы, после чего была осуществлена компиляция. Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на 1-2. Изображение схемы получено с помощью приложения RTL Viewer.

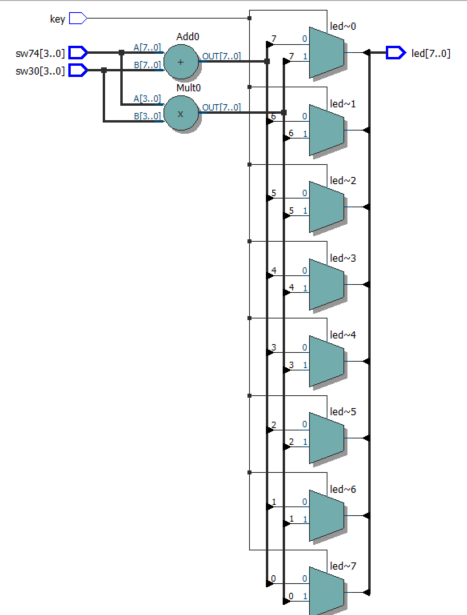


Рис. 1‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw30 подается 4’d0
* на группу входов sw74 подается 4’sd5
* на входе key подается 1’b0
* на группе выходов led получаем 4’sd5

1. проверка 2:

* на группу входов sw30 подается 4’d1
* на группу входов sw74 подается 4’sd5
* на входе key подается 1’b0
* на группе выходов led получаем 8’sd4

1. проверка 3:

* на группу входов sw30 подается 4’d2
* на группу входов sw74 подается 4’sd5
* на входе key подается 1’b0
* на группе выходов led получаем 8’sd3

1. проверка 4:

* на группу входов sw30 подается 4’d2
* на группу входов sw74 подается 4’d6
* на входе key подается 1’b0
* на группе выходов led получаем 8’d8

1. проверка 5:

* на группу входов sw30 подается 4’d3
* на группу входов sw74 подается 4’d6
* на входе key подается 1’b0
* на группе выходов led получаем 8’d9

1. проверка 6:

* на группу входов sw30 подается 4’d4
* на группу входов sw74 подается 4’d6
* на входе key подается 1’b0
* на группе выходов led получаем 8’d10

1. проверка 7:

* на группу входов sw30 подается 4’d4
* на группу входов sw74 подается 4’d6
* на входе key подается 1’b1
* на группе выходов led получаем 8’d24

1. проверка 8:

* на группу входов sw30 подается 4’d5
* на группу входов sw74 подается 4’d6
* на входе key подается 1’b1
* на группе выходов led получаем 8’d30

1. проверка 9:

* на группу входов sw30 подается 4’d6
* на группу входов sw74 подается 4’sd5
* на входе key подается 1’b1
* на группе выходов led получаем 8’sd30

Результаты моделирования приведены на Рис. 1-3.

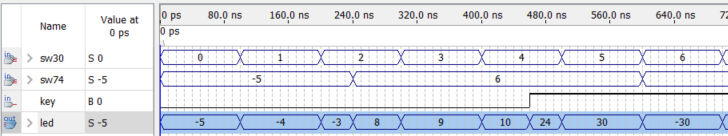


Рис. 1‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1-5.

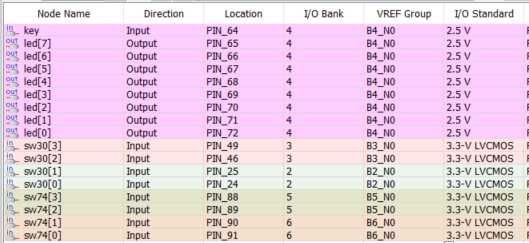


Рис. 1‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 1.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

опишите знаковый умножитель\сумматор работа была успешно выполнена.

# Задание lab2\_2

## Задание

На языке Verilog опишите без знаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11 – это

числа в десятичной СС).

Вход данных - переключатели sw[3:0]

Управление отображением числа – переключатель sw[7]

При 1 – отображается результат умножения на 11

При 0 – отображается результат умножения на 10

Выходы – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 2‑1.

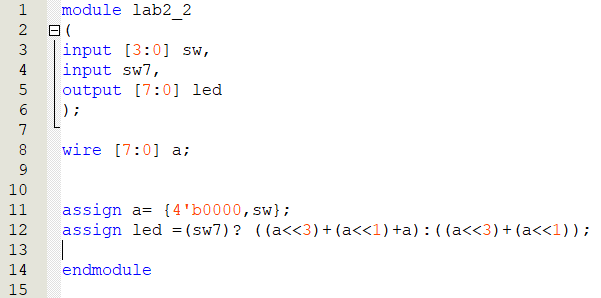


Рис. 2‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 2‑3. Изображение схемы получено с помощью приложения RTL Viewer.

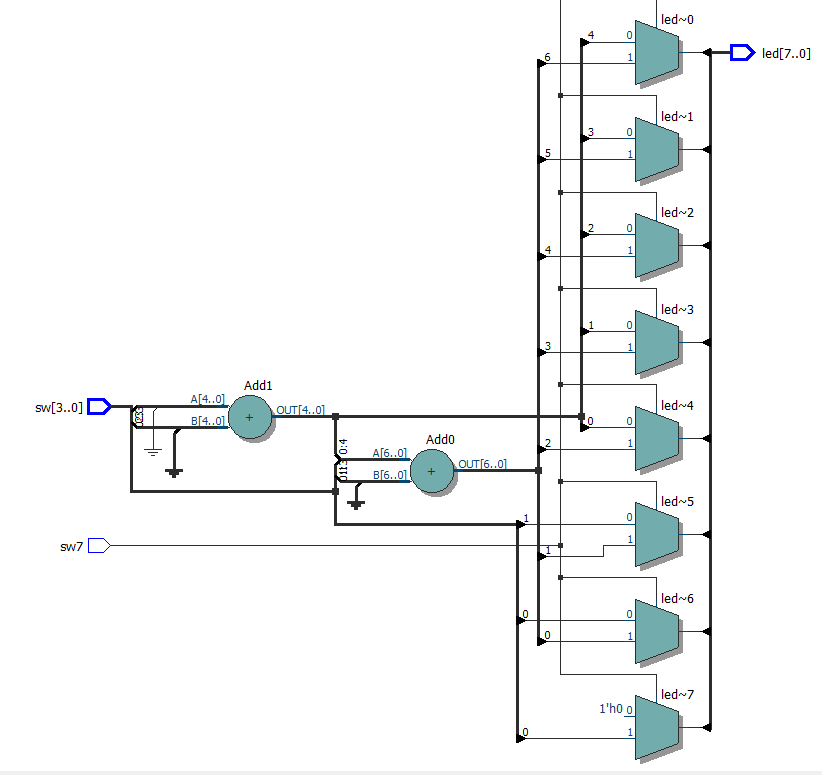


Рис. 2‑3 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw подается 4’d0
* на вход sw7 подаётся 0
* на группе выходов led получаем 8’d0

1. проверка 2:

* на группу входов sw подается 4’d1
* на вход sw7 подаётся 0
* на группе выходов led получаем 8’d10

1. проверка 3:

* на группу входов sw подается 4’d2
* на вход sw7 подаётся 0
* на группе выходов led получаем 8’d20

1. проверка 4:

* на группу входов sw подается 4’d3
* на вход sw7 подаётся 0
* на группе выходов led получаем 8’d30

1. проверка 5:

* на группу входов sw подается 4’d4
* на вход sw7 подаётся 1
* на группе выходов led получаем 8’d44

1. проверка 6:

* на группу входов sw подается 4’d5
* на вход sw7 подаётся 1
* на группе выходов led получаем 8’d55

1. проверка 7:

* на группу входов sw подается 4’d6
* на вход sw7 подаётся 1
* на группе выходов led получаем 8’d66
* на группе выходов led получаем 0110

1. проверка 8:

* на группу входов sw подается 4’d7
* на вход sw7 подаётся 1
* на группе выходов led получаем 8’d77

Результаты моделирования приведены на Рис. 2-4.

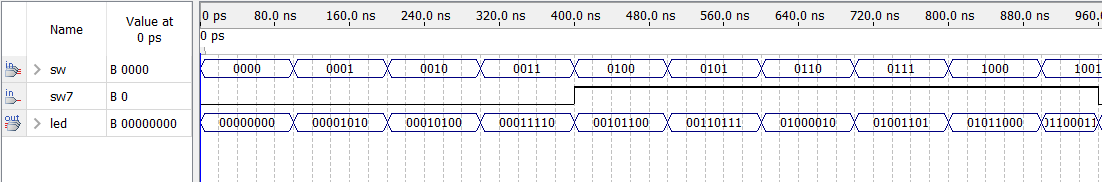


Рис. 2‑4 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 2‑5

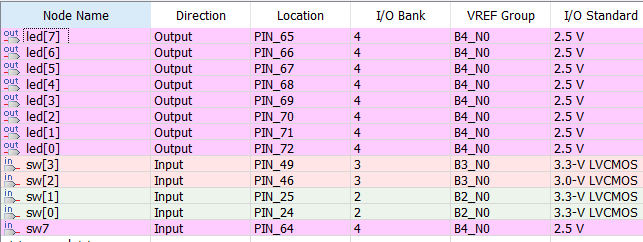


Рис. 2‑5 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 2.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Работа был успешно описан.

# Задание lab2\_3

## Задание

На языке Verilog, используя логические выражения или оператор условного выбора, описать устройство выбора максимума из двух 4-х разрядных данных.

Это устройство должно иметь следующую структурную схему:

На языке Verilog, опишите устройство выбора максимума из четырех 2-х разрядных данных чисел

Входы данных - переключатели sw[7:6] sw[5:4] sw[3:2] sw[1:0]

Выход – светодиоды led[7:6], остальные светодиоды выключены

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 3-1.

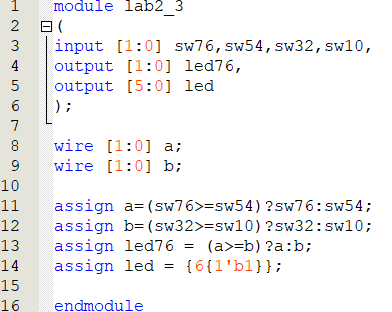


Рис. 3‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 3-2. Изображение схемы получено с помощью приложения RTL Viewer.

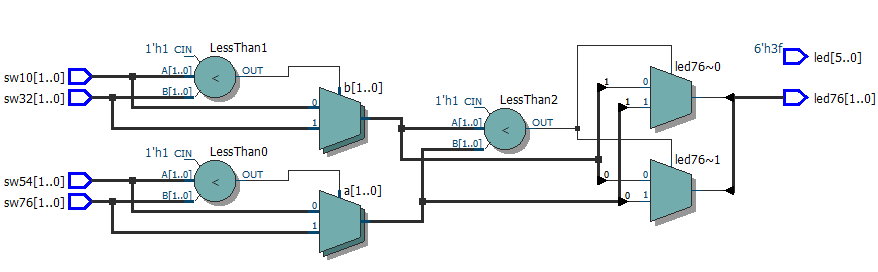


Рис. 3‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw10 подается 00
* на группу входов sw32 подается 10
* на группу входов sw54 подается 11
* на группу входов sw76 подается 00
* на группе выходов led получаем 111111
* на группе выходов led76 получаем 11

1. проверка 2:

* на группу входов sw10 подается 01
* на группу входов sw32 подается 00
* на группу входов sw54 подается 10
* на группу входов sw76 подается 01
* на группе выходов led получаем 111111
* на группе выходов led76 получаем 10

1. проверка 3:

* на группу входов sw10 подается 11
* на группу входов sw32 подается 01
* на группу входов sw54 подается 10
* на группу входов sw76 подается 00
* на группе выходов led получаем 111111
* на группе выходов led76 получаем 11

1. проверка 4:

* на группу входов sw10 подается 00
* на группу входов sw32 подается 10
* на группу входов sw54 подается 01
* на группу входов sw76 подается 01
* на группе выходов led получаем 111111
* на группе выходов led76 получаем 01

1. проверка 5:

* на группу входов sw10 подается 00
* на группу входов sw32 подается 00
* на группу входов sw54 подается 00
* на группу входов sw76 подается 00
* на группе выходов led получаем 111111
* на группе выходов led76 получаем 00

Результаты моделирования приведены на Рис. 3.3.

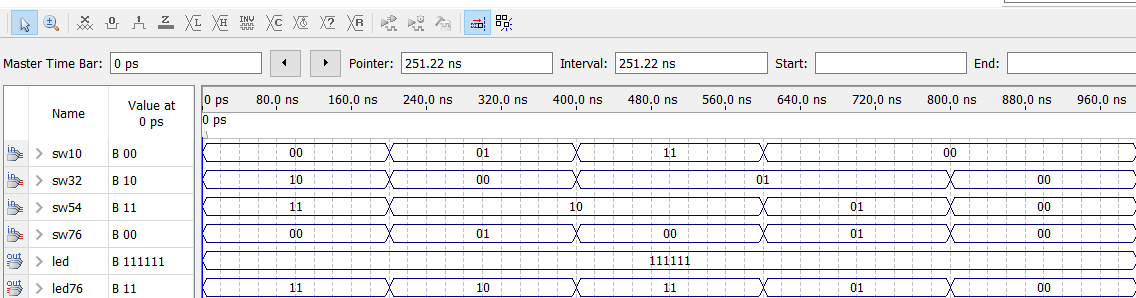


Рис. 3‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 3-4.

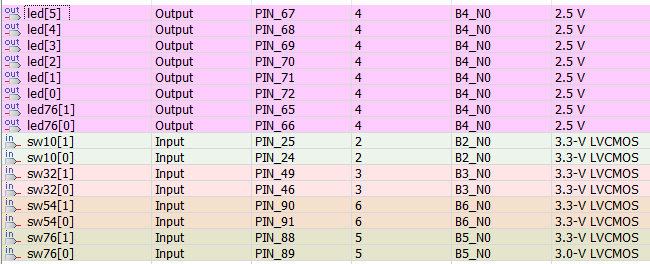


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 3.4

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Выбора максимума из четырех 2-х разрядных данных чиселбыло успешно описано.

# Задание lab2\_4

## Задание

На языке Verilog, опишите устройство, реализующее выражение

led[7:0]=sw[7:5]\*\*2 + 2\*sw[7:5]\*sw[2:0]+ sw[2:0]\*\*2 (все числа знаковые)

Входы данных - переключатели sw[7:5], sw[2:0]

Выход – светодиоды led[7:0]

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 4-1.

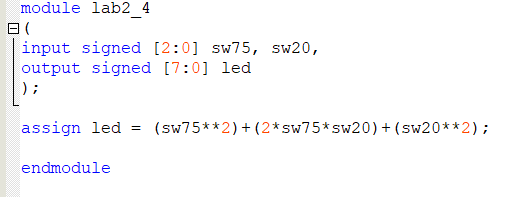


Рис. 4‑1 Описание на языке Verilog

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 4-2. Изображение схемы получено с помощью приложения RTL Viewer.

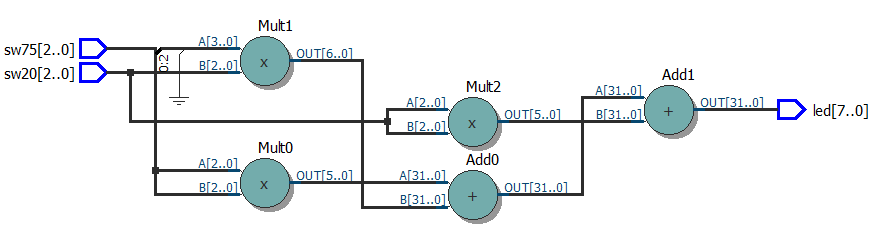


Рис. 4‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. проверка 1:

* на группу входов sw20 подается 3’d0
* на группу входов sw75 подается 3’d0
* на группе выходов led получаем 8’d0

1. проверка 2:

* на группу входов sw20 подается 3’d1
* на группу входов sw75 подается 3’d0
* на группе выходов led получаем 8’d1

1. проверка 3:

* на группу входов sw20 подается 3’d2
* на группу входов sw75 подается 3’d1
* на группе выходов led получаем 8’d9

1. проверка 4:

* на группу входов sw20 подается 3’d3
* на группу входов sw75 подается 3’d1
* на группе выходов led получаем 8’d16

1. проверка 5:

* на группу входов sw20 подается 3’sd4
* на группу входов sw75 подается 3’d2
* на группе выходов led получаем 8’d4

1. проверка 6:

* на группу входов sw20 подается 3’sd3
* на группу входов sw75 подается 3’d2
* на группе выходов led получаем 8’d1

Результаты моделирования приведены на Рис. 4-3.

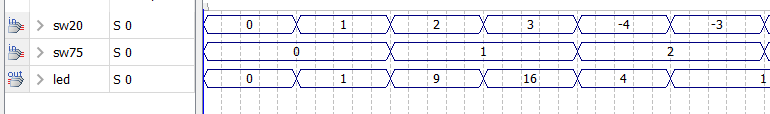


Рис. 4‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 4-4.

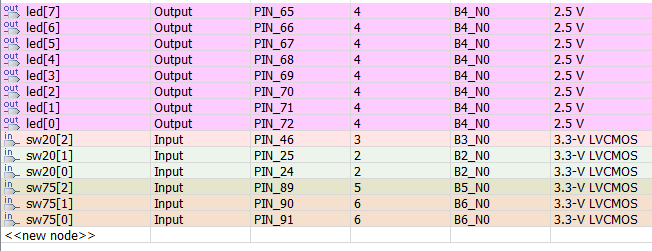


Рис. 4‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 4.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Преобразователь двоичного кода в позиционный код (один-из-N) был успешно описан.

# Задание lab1\_5

## Задание

На языке Verilog, используя логические выражения, описать полный одноразрядный сумматор.

Входы данных – переключатели sw[1:0], входной перенос – кнопка, выходы – светодиоды led[1:0].

## Описание на языке Verilog

Описание разрабатываемого устройства на языке Verilog приведено ниже на Рис. 5-1.

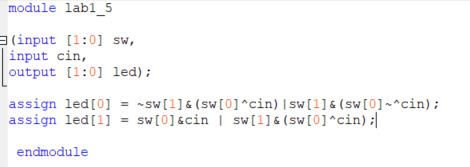


Рис. 5‑1 Описание на языке Verilog

Для описания полного одноразрядного сумматора важно учесть перенос из младшего разряда (вход cin). Первым двоичным слагаемым является значение поступающее на вход sw[0], вторым – значение поступающее на вход sw[1]. Тогда, результат, остающийся в текущем разряде, подаётся на выход led[0]; а перенос в следующий разряд подаётся на выход led[1].

## Результат синтеза (RTL)

Результат синтеза описания на языке Verilog в пакете Quartus приведен ниже, на Рис. 5-2. Изображение схемы получено с помощью приложения RTL Viewer.

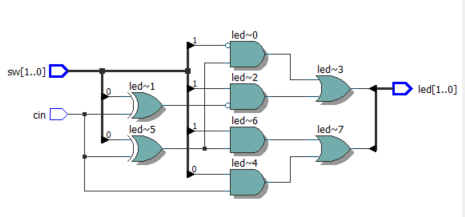


Рис. 5‑2 Синтезированная схема

## Моделирование

Для проверки правильности работы созданного Verilog описания использовались следующие тесты:

1. Проверка 1:

* на вход cin подается 0
* на вход sw подается 00
* на выходе led получаем 00

1. Проверка 2:

* на вход cin подается 0
* на вход sw подается 01
* на выходе led получаем 01

1. Проверка 3:

* на вход cin подается 0
* на вход sw подается 10
* на выходе led получаем 01

1. Проверка 4:

* на вход cin подается 0
* на вход sw подается 11
* на выходе led получаем 10

1. Проверка 5:

* на вход cin подается 1
* на вход sw подается 00
* на выходе led получаем 01

1. Проверка 6:

* на вход cin подается 1
* на вход sw подается 01
* на выходе led получаем 10

1. Проверка 7:

* на вход cin подается 1
* на вход sw подается 10
* на выходе led получаем 10

1. Проверка 8:

* на вход cin подается 1
* на вход sw подается 11
* на выходе led получаем 11

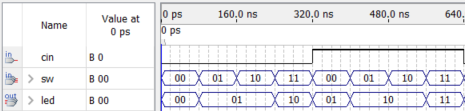


Рис. 5‑3 Результат моделирования средствами QII

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 5-4.

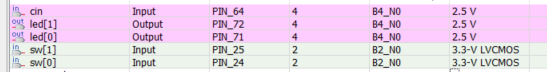


Рис. 5‑4 Назначение выводов в приложении Pin Planner

## Тестирование на плате miniDiLaB-CIV

Для тестирования проекта на плате использовались тесты, описанные в разделе 5.4.

Проведенное на плате miniDiLaB-CIV тестирование разработанного устройства показало: результаты совпадают с ожидаемыми, устройство работает в соответствии с заданием.

## Выводы

Работа был успешно описан.